

SEMICONDUCTOR DEVICE COMPRISING SOLID-STATE IMAGING ELEMENT AND MANUFACTURING METHOD THEREOF

Publication number: JP2002043557

Also published as:

Publication date: 2002-02-08

 US6576940 (B2)

Inventor: MAEDA ATSUSHI

 US2002009824 (A1)

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- international: **H01L21/322; H01L21/761; H01L27/146;**
H01L31/10; H01L21/02; H01L21/70;
H01L27/146; H01L31/10; (IPC1-7):
H01L27/146; H01L21/322; H01L21/761;
H01L31/10

- European:

Application number: JP20000220269 20000721

[Report a data error here](#)

Priority number(s): JP20000220269 20000721

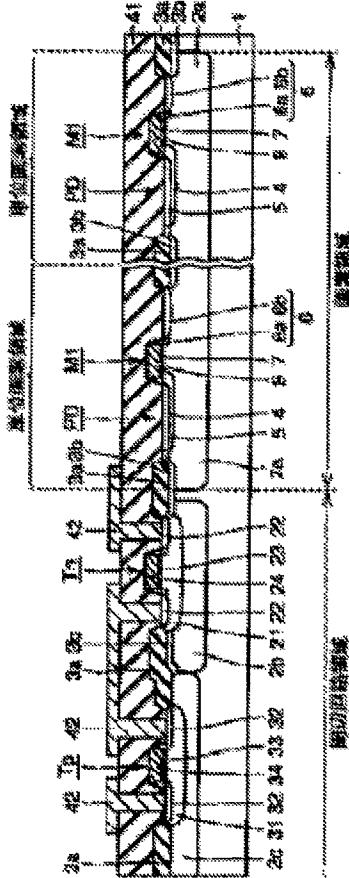
[View INPADOC patent family](#)

[View list of citing documents](#)

Abstract of **JP2002043557**

PROBLEM TO BE SOLVED: To provide a semiconductor device comprising a solid-state imaging element, together with its manufacturing method, where a pixel characteristics is improved by suppressing to get a hot carrier and a transition metal into a pixel region from a peripheral circuit region.

SOLUTION: A p-type well region 2a where a plurality of unit cells comprising a photodiode PD are provided is separated from a p-type well region 2b where a peripheral circuit element is provided.



Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-43557

(P2002-43557A)

(43)公開日 平成14年2月8日(2002.2.8)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード(参考)
H 01 L 27/146 21/322		H 01 L 21/322	R 4 M 1 1 8
			J 5 F 0 3 2
		27/14	A 5 F 0 4 9
21/761		21/76	J
31/10		31/10	A

審査請求 未請求 請求項の数14 O.L (全 16 頁)

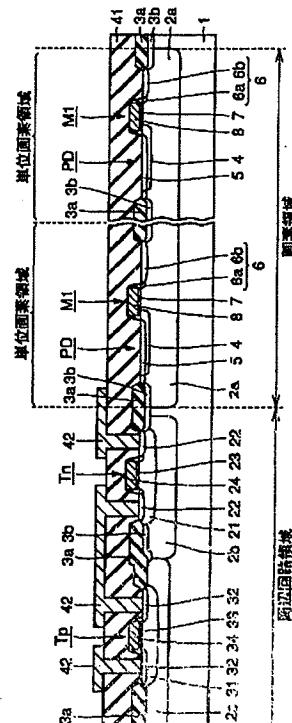
(21)出願番号	特願2000-220269(P2000-220269)	(71)出願人 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成12年7月21日(2000.7.21)	(72)発明者 前田 敦 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(74)代理人 100064746 弁理士 深見 久郎 (外4名) Fターム(参考) 4M118 AA05 AB01 BA14 CA04 CA18 DA32 EA20 FA06 FA26 FA34 5F032 AA13 AB01 BA01 BA08 CA17 DA53 DA60 5F049 MA02 NA04 NB05 QA03 RA02 RA03 RA08

(54)【発明の名称】 固体撮像素子を有する半導体装置およびその製造方法

(57)【要約】

【課題】 周辺回路領域からのホットキャリアや遷移金属などが画素領域へ進入することを抑制して画素特性を向上できる固体撮像素子を有する半導体装置およびその製造方法を提供する。

【解決手段】 本発明の固体撮像素子を有する半導体装置は、フォトダイオードPDを含む単位セルが複数個作り込まれたp型ウェル領域2aと、周辺回路素子が作り込まれたp型ウェル領域2bとが分離して設けられている。



【0058】なお、アンプM3の一方のn型ソース／ドレイン領域10と選択スイッチM4の一方のn型ソース／ドレイン領域10とは同一の不純物領域より構成されている。

【0059】主に図2を参照して、周辺回路領域には、たとえばnMOSトランジスタTnやpMOSトランジスタTpなどが形成されている。このnMOSトランジスタTnは、1対のn型ソース／ドレイン領域22と、1対のソース／ドレイン領域22に挟まれる領域上にゲート絶縁層23を介して形成されたゲート電極層24とを有している。

【0060】またpMOSトランジスタTpは、1対のp型ソース／ドレイン領域32と、1対のp型ソース／ドレイン領域32に挟まれる領域上にゲート絶縁層33を介して形成されたゲート電極層34とを有している。

【0061】nMOSトランジスタTnは、半導体基板1表面に形成されたp型ウェル領域2b内に形成されており、p型ウェル領域2b内にはnMOSトランジスタTnのチャネルの濃度制御のためのチャネルドープ領域21が形成されている。またpMOSトランジスタTpはn型ウェル領域2c内に形成されており、n型ウェル領域2c内にはpMOSトランジスタTpのチャネルの濃度制御のためのチャネルドープ領域31が形成されている。

【0062】図2および図3を参照して、各素子を電気的に分離するために、半導体基板1の表面にフィールド酸化膜3aと分離不純物領域3bとが形成されている。これらの各素子上を覆うように層間絶縁層41が形成されている。また層間絶縁層41上には、各素子の導電領域と電気的に接続された配線層42がパターニングされて形成されている。

【0063】次に、本実施の形態の固体撮像素子を有する半導体装置の製造方法について説明する。

【0064】図4～図6は、本発明の実施の形態1における固体撮像素子を有する半導体装置の製造方法を工程順に示す概略断面図である。図4を参照して、n型シリコン基板1a上に、シリコン単結晶1bがエピタキシャル成長により形成される。このようにして形成された半導体基板1の表面上に、通常の写真製版技術により、フォトレジスト51のパターンが形成される。このレジストパターン51をマスクとして半導体基板1の表面にp型の不純物をイオン注入などすることにより、互いに分離したp型ウェル領域2aと2bとが形成される。この後、レジストパターン51が除去される。

【0065】図5を参照して、半導体基板1の表面上に、通常の写真製版技術によりレジストパターン52が形成される。このレジストパターン52をマスクとして半導体基板1にn型の不純物がイオン注入などされることによりn型ウェル領域2cが形成される。この後、レジストパターン52が除去される。

【0066】図6を参照して、通常のLOCOS (Local Oxidation of Silicon) 法によりフィールド酸化膜3aが形成されるとともに、フィールド酸化膜3aの下面に接する分離用のp+不純物領域3bが形成される。

【0067】この後、固体撮像素子および周辺回路素子などが形成されることにより、図2に示す固体撮像素子を有する半導体装置が完成する。

【0068】本実施の形態では、図1および図2に示すように画素領域のp型ウェル領域2aは、その周囲をn型の領域に囲まれており、それにより周辺回路領域のp型ウェル領域2bと分離して設けられている。このため、周辺回路素子で生じたホットキャリアがp型ウェル領域2bから画素領域内のp型ウェル領域2a内に進入することが抑制される。また、周辺回路領域内にあった遷移金属、重金属、微小欠陥などが画素領域内のp型ウェル領域2a内に進入することも抑制される。このため、光電変換素子（フォトダイオードPD）のノイズ成分を従来例よりも低減することができ、画素特性（S/N比）を向上させることができるとなる。

【0069】(実施の形態2) 図7は、本発明の実施の形態2における固体撮像素子を有する半導体装置の構成を概略的に示す断面図である。図7を参照して、本実施の形態の構成は、図2に示す実施の形態1の構成と比較して、ゲッタリング層61を追加した点において異なる。このゲッタリング層61は、画素領域内のp型ウェル領域2aの下側に接するように形成されている。ゲッタリング層61は、たとえばリン(P)を高濃度($10^{18} \sim 10^{19} \text{ cm}^{-3}$ 程度)に導入した不純物領域であり、半導体基板1のn型の不純物濃度($10^{15} \sim 10^{16} \text{ cm}^{-3}$)よりも高い不純物濃度を有している。このゲッタリング層61は、p型ウェル領域2aの下側全体に形成されることが好ましいが、p型ウェル領域2aの下側の一部にのみ形成されていてもよい。

【0070】なお、これ以外の構成については、上述した実施の形態1の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0071】次に、本実施の形態の固体撮像素子を有する半導体装置の製造方法について説明する。

【0072】図8～図11は、本発明の実施の形態2における固体撮像素子を有する半導体装置の製造方法を工程順に示す概略断面図である。図8を参照して、n型シリコン基板1a上に 100 nm 程度の厚みでシリコン酸化膜71が形成される。そのシリコン酸化膜71上に、通常の写真製版技術によりレジストパターン53が形成される。このレジストパターン53をマスクとして画素領域のシリコン酸化膜71がたとえばエッチングにより選択的に除去される。この後、レジストパターン53が除去される。

【0073】図9を参照して、たとえばPOCl₃などのガスを $850 \sim 900^\circ\text{C}$ 程度で熱分解した雰囲気にn

11

型シリコン基板1aが晒される。これにより、n型シリコン基板1aのシリコン酸化膜71から露出した表面にリンが堆積（デポジション）され、リンの拡散領域であるゲッタリング層61が形成される。この後、シリコン酸化膜71が除去される。

【0074】図10を参照して、n型シリコン基板1aの全面上にエピタキシャル成長によりシリコン単結晶1bが形成され、シリコン基板1aとシリコン単結晶1bとにより半導体基板1が形成される。

【0075】図11を参照して、実施の形態1の図4および図5に示す工程と同様の工程により、p型ウェル領域2a、2bとn型ウェル領域2cとが形成される。この後、通常のLOCOS法により、半導体基板1の表面上にフィールド酸化膜3aが形成されるとともに、そのフィールド酸化膜3aの下面に接するように分離用のp⁺不純物領域3bが形成される。

【0076】この後、固体撮像素子、周辺回路素子などが形成されて図7に示す固体撮像素子を有する半導体装置が完成する。

【0077】本実施の形態では、p型ウェル領域2aの下方にゲッタリング層61が設けられている。このゲッタリング層61中のリンには、シリコン中の重金属元素などの不純物や微小欠陥を取込む効果（ゲッタリング効果）がある。このため、周辺回路領域内から拡散してきた重金属元素などの不純物や微小欠陥をゲッタリング層61が取込むため、これらの不純物や欠陥がp型ウェル領域2a内に進入することを抑制することができる。また、p型ウェル領域2a内の重金属元素などの不純物や微小欠陥もこのゲッタリング層61により取込むことができる。よって、画素領域におけるリーク電流を減少させることができるため、ノイズを低減して画素特性（S/N比）を向上させることができる。

【0078】また、このゲッタリング層61は高濃度の不純物領域であるため、半導体基板1部分の抵抗を下げることが可能となり、CMOS構造で問題となるラッチアップの発生を抑制することもできる。

【0079】さらに、このゲッタリング層61は高濃度の不純物領域であるため、周辺回路素子で発生したホットキャリアなどの電荷を取込むことができる。このため、これらの電荷が周辺回路領域から画素領域内のp型ウェル領域2a内に進入することを軽減できるため、感度の低下などを防止する効果もある。

【0080】なお、ゲッタリング層61として、リンの高濃度不純物領域について説明したが、ゲッタリング層61は、ボロンが高濃度で導入された不純物領域であっても、リンと同様のゲッタリング効果を期待することができる。この場合、ゲッタリング層61は、p型ウェル領域2aの不純物濃度（10¹⁷ cm⁻³程度）よりも高い不純物濃度（10¹⁸～10¹⁹ cm⁻³程度）を有している。

10

12

【0081】（実施の形態3）本実施の形態は、図7に示すゲッタリング層61をイオン注入法により形成する方法に関するものである。

【0082】図12は、本発明の実施の形態3における固体撮像素子を有する半導体装置の製造方法を示す概略断面図である。図12を参照して、n型シリコン基板1aの表面上に、通常の写真製版技術によりレジストパターン54が形成される。このレジストパターン54をマスクとして、たとえばリンが100 keV以下のエネルギーでn型シリコン基板1aの表面にイオン注入される。これにより、ゲッタリング層61が形成される。この後、レジストパターン54が除去され、さらに図10および図11に示すように実施の形態2と同様の後工程を経ることにより、図7に示す固体撮像素子を有する半導体装置が完成する。

【0083】本実施の形態では、ゲッタリング層61をイオン注入法により形成しているため、制御性よくゲッタリング層61を形成することができる。

20

【0084】（実施の形態4）本実施の形態は、図7に示すゲッタリング層61を実施の形態3とは異なる工程で形成する方法に関するものである。

20

【0085】図13は、本発明の実施の形態4における固体撮像素子を有する半導体装置の製造方法を示す概略断面図である。まず本実施の形態の製造方法では、図4および図5と同様の工程を経ることにより、p型ウェル領域2a、2bとn型ウェル領域2cとが形成される。この後、図13を参照して、半導体基板1の表面上に通常の写真製版技術によりレジストパターン55が形成される。このレジストパターン55をマスクとして、たとえばリンのイオン注入が施される。このイオン注入は、p型ウェル領域2aの下部に注入深さがくるようにエネルギーを調整して行なわれる。これにより、p型ウェル領域2aの下側にゲッタリング層61が形成される。この後、レジストパターン55が除去され、上記実施の形態1～4と同様の後工程を経ることにより、図7に示す固体撮像素子を有する半導体装置が完成する。

30

30

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

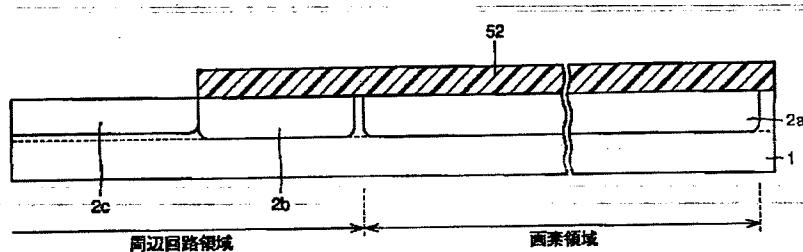
40

40

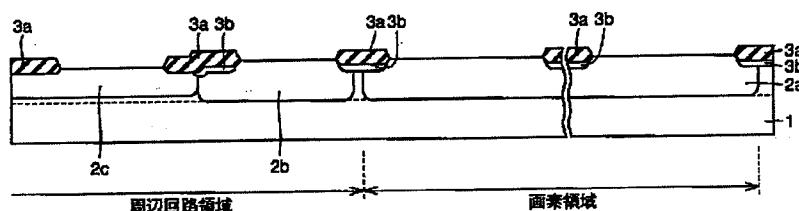
40

40</div

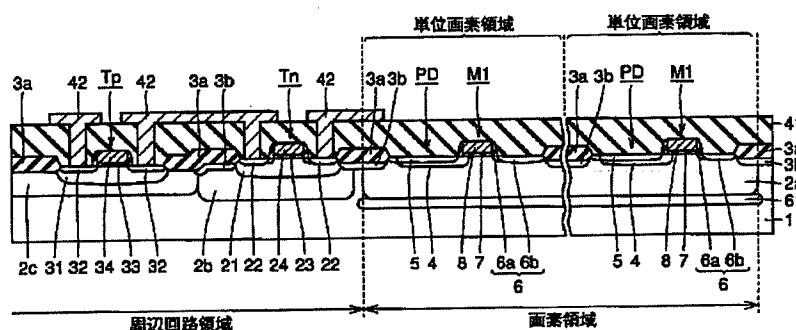
【図5】



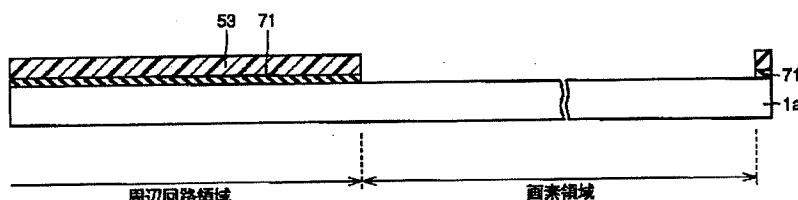
【図6】



【図7】



【図8】



【図9】

